

(19)



Europäisches Patentamt
European Patent Office
Office européen des brevets

(11) Veröffentlichungsnummer:

0 362 49
A2

(12)

EUROPÄISCHE PATENTANMELDUNG

(21) Anmeldenummer: 89112533.8

(51) Int. Cl.⁵: H04L 12/26, H04L 1/20

(22) Anmeldetag: 08.07.89

(30) Priorität: 01.10.88 DE 3833486

(43) Veröffentlichungstag der Anmeldung:
11.04.90 Patentblatt 90/15(84) Benannte Vertragsstaaten:
FR GB IT

(71) Anmelder: WANDEL & GOLTERMANN GMBH & CO

Postfach 1262 Mühleweg 5
D-7412 Eningen u.A.(DE)

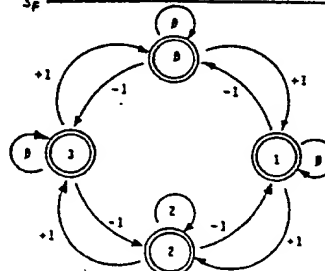
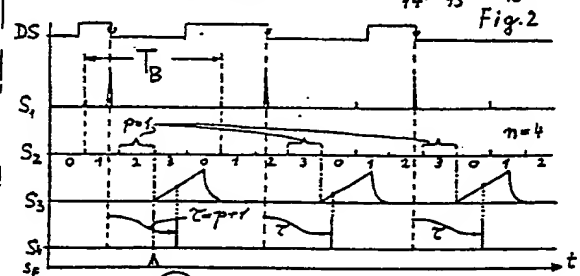
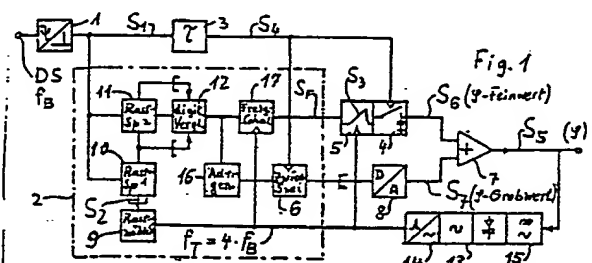
(72) Erfinder: Brandt, Dieter, Dipl.-Ing.
Rennenngässle 24
D-7412 Eningen u. A.(DE)(74) Vertreter: Kucher, Hans, Dipl.-Ing.
Richard-Strauss-Weg 4
D-7410 Reutlingen(DE)

(54) Verfahren und Schaltungsanordnung zum Messen der Jittermodulation von nullenbehafteten Digitalsignalen.

(57) Bekannte Jittermesser mit Abtastphasenvergleichern liefern zwar ein die Phasenzeitfunktion direkt und linear wiedergebendes PAM-Signal, haben jedoch eine zu geringen, bei hohen Bitfolgefrequenzen unter $+\pi/2$ liegenden Aussteuerungsbereich. Das neue Verfahren soll direkt an beliebigen informationstragenden Digitalsignalen arbeiten, eine Umsetzung der Phase direkt in eine PAM-Spannung leisten und eine grundsätzlich nicht beschränkte Aussteuerbarkeit besitzen.

Das Meßergebnis wird aus einem Phasengrobwert und einem Phasenfeinwert zusammengesetzt. Hierzu wird die jitterfreien Bittaktperiode in n Teilperioden unterteilt und aus der Ordnungszahl derjenigen Teilperiode, in die die zu bestimmende Digitalimpulsflanke fällt, ein Phasengrobwert ermittelt. Den Phasenfeinwert liefert ein Abtastphasenvergleich, dessen Rampe wenig länger als eine Teilperiode ist, gegenüber dem Ende der betreffenden Teilperiode mit definierter Verzögerung gestartet wird und mit der definiert verzögerten Digitalimpulsflanke abgetastet wird.

Messen der Jittermodulation nullenbehafteter Digitalsignale.



+1: Adresse inkrementieren
Rampe um 1 Raster
nachverlegen
0: Adresse beibehalten
Rampenstart
-1: Adresse dekrementieren
Rampe um 1 Raster
vorverlegen

EP 0 362 491 A2

Verfahren und Schaltungsanordnung zum Messen der Jittermodulation von nullenbehafteten Digitalsignalen

Die Erfindung betrifft ein Verfahren zum Messen der Jittermodulation von nullenbehafteten Digitalsignalen gemäß dem Oberbegriff des Anspruchs 1 sowie eine Schaltungsanordnung zur Durchführung, gemäß dem Oberbegriff des Anspruchs 2.

Aus der Technik der Phasenmodulation und -demodulation sind Phasenmesser bekannt, die auch in der Jittermeßtechnik für die digitale Übertragungstechnik verwendet werden. (Vergl. CCITT o.171 und Definitionen).

Jittermessungen erfolgen hierbei im allgemeinen an binären Signalen, das heißt an Signalen mit im wesentlichen rechteckförmigem Verlauf über der Zeit.

Zur Rückgewinnung (Demodulation) der in der zeitlichen Position der Flanken eines Digitalsignales enthaltenen Phasenzeitfunktion $\phi(t)$ kommen grundsätzlich zwei Arten von Phasenvergleichen zur Anwendung:

Phasenvergleicher einer ersten Art setzen das die Phasenzeitfunktion $\phi(t)$ enthaltende Digitalsignal mit Hilfe von Bausteinen der digitalen Schaltungstechnik unter Zuhilfenahme eines jitterfreien Referenztaktsignales gleicher Bitfrequenz in ein pulsdauernmoduliertes Signal um, aus dem die gesuchte Phasenzeitfunktion $\phi(t)$ durch Tiefpaßfilterung gewonnen wird. Solche Phasenmesser sind beispielsweise aus Tietze Schenk, Halbleiter-Schaltungstechnik 7. Auflage 1985, Springer Verlag, Abschnitt 26.4.3., Seiten 824 bis 827, bekannt.

Phasenvergleicher einer zweiten Art setzen den Phasenunterschied zwischen dem die Phasenzeitfunktion $\phi(t)$ enthaltenden Digitalsignal und einem jitterfreien Referenztaktsignal gleicher Bitfrequenz mit Hilfe eines Abtastphasenvergleichers in ein PAM-Signal um, das direkt die Phasenzeitfunktion darstellt. Dabei ist eine anschließende Tiefpaßfilterung nicht unbedingt erforderlich.

Phasenvergleicher dieser zweitgenannten Art arbeiten dabei im allgemeinen so, daß die Rampe eines die Referenzfrequenz aufweisenden Sägezahnsignals durch einen von dem zu messenden Digitalsignal abgeleiteten Impuls abgetastet wird. Die Folge der dabei erhaltenen Abtastwerte stellt die Phasenzeitfunktion $\phi(t)$ dar.

Ein Beispiel eines ähnlichen, allerdings mit einem sinusförmigen Referenzsignales arbeitenden Phasenvergleichers der zweitgenannten Art ist aus Tietze Schenk, Abschnitt 26.4.3., Seiten 819 bis 822 bekannt.

Phasenvergleicher der zweitgenannten Art besitzen zwar eine gute Linearität, doch ist ihr Aussteuerbereich gering. Er liegt real deutlich unter $\pm(\pi)$, bei höheren Bitfolgefrequenzen sogar noch

unter $\pm(\pi)/2$. Werden größere Meßbereiche gefordert, so wären größere Rampenlängen notwendig, was aber ein "Verdünnen" der Flankendichte des Digitalsignales erfordern würde. Ein solcher Prozeß wäre aber für nullenbehaftete Digitalsignale nur schwer durchzuführen.

Phasenvergleicher der zweitgenannten Art bieten aber den großen Vorteil, daß sie für den unmittelbaren Betrieb an nullenbehafteten Digitalsignalen geeignet sind, da sie die detektierte Phase (bzw. einen äquivalenten Spannungswert) bis zum Eintreffen der nächsten Bitflanke speichern können, auch wenn diese Bitflanken nicht "äquidistant" vorliegen.

Sie bieten den weiteren großen Vorteil, daß sie den Spitzenwert unmittelbar am erzeugten PAM-Signal messen, wodurch eine theoretisch maximale Meßbandbreite realisiert werden kann.

Ein weiterer wichtiger Vorteil der Phasenvergleicher der zweitgenannten Art ist, daß bei der Spitzenwertmessung am PAM-Signal (ohne TP-Filterung) keine musterabhängigen zusätzlichen Meßfehler entstehen.

Der Erfindung liegt die Aufgabe zugrunde, ein Phasenvergleichsverfahren zum Zwecke der Messung der Jittermodulation und eine danach arbeitende Schaltungsanordnung anzugeben, das bzw. die

- direkt an beliebigen informationstragenden Digitalsignalen arbeitet,

- eine Umsetzung der Phase direkt in eine PAM-Spannung leistet

- eine grundsätzlich nicht beschränkte Aussteuerbarkeit besitzt.

Die Erfindung löst diese Aufgabe durch die im Anspruch 1 gekennzeichneten Merkmale.

Die Erfindung besitzt die Vorteile,

- daß sie völlig musterunabhängig arbeitet,

- daß sie direkt am nullenbehafteten Digitalsignal arbeitet,

- daß sie Jittermessungen ohne Filterung ermöglicht und damit besonders fehlerarm arbeitet,

- daß dennoch jederzeit eine Filterung (nach CCITT) möglich ist,

- daß der Aussteuerbereich prinzipiell nicht beschränkt ist und

- daß sie relativ gut für viele verschiedene Bitfolgefrequenzen anwendbar ist.

Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen gekennzeichnet.

Die Erfindung wird nachstehend an Hand der in der Zeichnung näher erläutert. Hierbei zeigt

Figur 1 ein Blockschaltbild eines ersten Ausführungsbeispieles,

Figur 2 Pulsdiagramme mehrerer in Figur 1 auftretender Signale,

Figur 3 ein vereinfachtes Zustandsdiagramm, das die Auswirkung festgestellter Unterschiede aufeinanderfolgender Speicherinhalte auf den Adressengenerator und den Startzeitpunkt des Rampengenerators beschreibt,

Figur 4 ein Blockschaltbild eines zweiten Ausführungsbeispiels,

Figur 5 ein Blockschaltbild eines dritten Ausführungsbeispiels

Bei der in Figur 1 dargestellten Anordnung, in der unter anderem die in Figur 2 dargestellten Signale auftreten, werden die fallenden Flanken eines Digitalsignals DS von einem Impulsformer 1 in Nadelimpulse S_1 umgewandelt, die an die Eingänge eines digitalen Grobwert-Phasenmessers 2 und eines Verzögerungsgliedes 3 gelangen. Das Ausgangssignal S_4 des Verzögerungsgliedes 3 liegt einerseits am Steuereingang eines Phasenfeinwert liefernden Abtastphasenvergleichers, der aus einer Abtast- und Halteschaltung 4 und einem diese speisenden Rampengenerator 5 besteht, und andererseits als Speicherübernahmesignal an einem Adressenspeicher 6 des Grobwert-Phasenmessers 2, dessen Ausgang am Eingang eines Digital/Analog-Wandlers 8 liegt.

Das einen Phasen-Feinwert darstellende Ausgangssignal S_6 der Abtast- und Halteschaltung 4 und das einen Phasen-Grobwert darstellende Ausgangssignal S_7 des Digital/Analog-Umsetzers 8 liegt jeweils an einem Eingang einer Summierschaltung 7, die sie zu einem Meßsignal S_5 zusammenfaßt, das der gesuchten Jittermodulation proportional ist.

Der Phasen-Grobwertmesser 2 enthält einen Rastzähler 9, dessen Parallelausgänge mit den Paralleleingängen eines ersten Rastspeichers 10 verbunden sind. Dessen Parallelausgänge sind mit den Paralleleingängen eines zweiten Rastspeichers 11 verbunden. Beide Rastspeicher 10 und 11 empfangen vom Ausgang des Impulsformers 1 ein Speicherübernahmesignal. Die Ausgänge des ersten und des zweiten Rastspeichers 10 bzw. 11 liegen jeweils an einem Eingang eines Digitalvergleichers 12. Ein frequenzsteuerbarer Oszillator 13 liefert an einen Impulsformer 14 ein jitterfreies Signal mit der Frequenz f_T , die $n = 4$ mal höher ist als die Bittaktfrequenz f_B des Digitalsignals DS ($f_T = 4f_B$). Der Ausgang des Impulsformers 14 ist mit einem Fortschalteingang des Rastzählers 9 und mit einem Triggereingang des Rampengenerators 5 verbunden.

Das am Ausgang der Summierschaltung 7 liegende Meßsignal S_5 der Jittermessenanordnung gelangt auch über einen Tiefpaß 15 an einen Steuereingang des Oszillators 13 und hält so die Phase von dessen Ausgangsfrequenz f_T jitterfrei auf einem

mittleren konstanten Wert.

Im Grobwert-Phasenmesser 2 wird bei jedem Auftreten eines Nadelimpulses S_1 der momentane Stand des Rastzählers 9 in den ersten Rastspeicher 10 und gleichzeitig dessen momentaner Speicherinhalt, der von der Lage des jeweils vorhergehenden Nadelimpulses abhängig ist, in den zweiten Rastspeicher 11 übernommen. Der Vergleichler 12 stellt den Unterschied zwischen dem momentanen und dem vorhergehenden Stand des Rastzählers 9 fest und gibt ihn einerseits an einen Adressengenerator 16 und andererseits an eine Freigabeschaltung 17 weiter. Letztere wird vom Impulsformer 14 mit einer dem n -fachen der Bittaktfrequenz f_B entsprechenden Frequenz $4f_B$ getaktet und bestimmt entsprechend Figur 3 aus der Teilperiode, während der der Nadelimpuls S_1 auftritt, die Teilperiode, zu deren Beginn der Rampengenerator 5 gestartet wird.

Der Adressengenerator 16 enthält unter den vom digitalen Vergleichler 12 gelieferten Adressen, die den Unterschieden der Phasenunterschiede zwischen dem Bittakt und aufeinanderfolgenden jitterbehafteten Nadelimpulsen S_1 entsprechen, die digitalen Phasengrobwerte der betreffenden Impulse des Digitalsignals DS, die er über den mit dem Ausgangssignal S_4 des Verzögerungsgliedes 3 getakteten Zwischenspeicher 6 und den Digital/Analog-Umsetzer 8 als analoge Phasengrobwerte S_7 an die Summierschaltung 7 legt.

Besitzt das Digitalsignal DS keinen oder nur einen geringen Jitter, so wird beim Abtasten des Rastzählers 9 immer der gleiche Zählerstand vorgefunden, und es werden gemäß Figur 3 sowohl die Adresse als auch der Rampenstart nicht verändert. Das Ausgangssignal S_5 entspricht dann allein dem den Phasenfeinwert darstellenden Signal S_6 der Abtast- und Halteschaltung 4, weil der Vergleichler 12 in diesem Falle keinen Unterschied zwischen den Zählerständen feststellt und der Adressengenerator 16 den Phasengrobwert $S_7 = \text{Null}$ liefert.

Bei Auftreten stärkeren Jitters wird der Vergleichler 12 auch positive oder negative Unterschiede vom Wert 1, 2 oder 3 feststellen, die nach ihrer Umsetzung im Adressengenerator 16 zu von Null verschiedenen digitalen Phasengrobwerten führen. Die daraus resultierenden Analogsignale S_7 werden von der Summierschaltung 7 zu den analogen Ausgangssignalen S_6 der Abtast- und Halteschaltung 4 addiert und als Ausgangssignale S_5 der Jittermeßanordnung ausgegeben. In diesem Falle wird auch der Rampenstart entsprechend Figur 3 um eine, zwei oder drei Teilperioden t nach- oder vorverlegt. Figur 3 stellt insoweit eine Vereinfachung dar, als sie nur die vom digitalen Vergleichler 12 festgestellten Unterschiede der Rastspeicherinhalte vom Wert 1 berücksichtigt.

Das in Figur 4 dargestellte zweite Ausführungsbeispiel unterscheidet sich von der in Figur 1 dargestellten Anordnung im wesentlichen dadurch, daß zum Abtasten der Rampenspannung S_3 an Stelle einer Abtast- und Halteschaltung (4, 5 in Figur 1) ein digitale Phasenfeinwerte liefernder Flash-A/D-Wandler (18) und ein digitaler Summierer 7' vorgesehen sind, der das digitale Ausgangssignal S_6 des Flash-A/D-Wandlers und das digitale Ausgangssignal S_7 des Zwischenspeichers 6' des Grobwertmessers 2' addiert und als digitales Meßsignal S_5 abgibt. Ein D/A-Wandler 18 bildet aus dem Meßsignal S_5 ein analoges Steuersignal für den Oszillator 13.

Das in Figur 5 dargestellte Ausführungsbeispiel unterscheidet sich von der in Figur 1 dargestellten Anordnung dadurch, daß an Stelle eines Adressengenerators und eines Zwischenspeichers (16 und 6 in Figur 1) ein als Addierschaltwerk geschalteter Lesespeicher 20 (ROM) angeordnet ist, in dem für alle Adressen und die zugehörigen neuen Rasterzustände jeweils die neuen (korrigierten) Adressen abgelegt sind. Mit Hilfe dieses Addierschaltwerks können außerdem Steuersignale aussteuerungsabhängig erzeugt werden.

Ansprüche

1. Verfahren zum Messen der Jittermodulation eines Digitalsignales, bei dem erste Impulse, die von bestimmten Impulsflanken des zu messenden jitterbehafteten Digitalsignales abgeleitet sind, und zweite Impulse eines jitterfreien Referenztaktpulses, der aus dem die Bittaktfrequenz aufweisenden jitterbehafteten Digitalsignal abgeleitet ist, einem Phasenvergleich unterzogen werden, wobei die einen Impulse ein linear ansteigendes Rampensignal starten, die anderen Impulse Abtastzeitpunkte des Rampensignals bestimmen und die abgetasteten Werte des Rampensignals gehalten werden und wobei ein Wechselanteil des abgetasteten und gehaltenen Rampensignals der Jittermodulation proportional ist und ein Gleichanteil des abgetasteten und gehaltenen Rampensignals eine Stellgröße für die Erzeugung der jitterfreien Referenzfrequenz bildet, **dadurch gekennzeichnet,**

daß der Referenztaktpuls mit einer einem Vielfachen n der Bittaktfrequenz f_B entsprechenden Impulswiederholungsfrequenz $nf_B = f_T$ erzeugt wird und jede Bittaktperiode mit der Dauer $T_B = 1/f_B$ in n Teilperioden mit jeweils der Dauer $t = T_B/n = 1/nf_B$ unterteilt,

daß der Rampengenerator (5) bei Vorliegen eines Freigabesignals in jeder Bittaktperiode einmal gestartet wird,

daß der Rampengenerator (5) p Teilperioden nach dem Ende derjenigen Teilperiode, in der die be-

stimmte Impulsflanke des Digitalsignales (DS) auftritt, gestartet wird, ($p = 0, 1, 2, \dots < n$),

daß die Rampenlänge des sägezahnförmigen Signales (S_3) wenig länger als eine Teilperiode (etwa 1,5 Teilperioden) bemessen wird,

daß der Abtastimpuls (S_4) gegenüber der bestimmten Impulsflanke des Digitalsignales DS um $p+1$ Teilperioden verzögert wird,

daß ein Phasengrobwert aus der Ordnungszahl derjenigen Teilperiode bestimmt wird, in der die bestimmte Impulsflanke des Digitalsignales auftritt und nach Ablauf von p Teilperioden ein Freigabesignal an den Rampengenerator 5 anlegt wird und

daß ein Wechselanteil des abgetasteten und gehaltenen Rampensignals und der Phasengrobwert zu dem die Jittermodulation angegebenden Meßwert addiert werden.

2. Schaltungsanordnung zur Durchführung des Verfahrens nach Anspruch 1, wobei erste Impulse, die von bestimmten Impulsflanken des Digitalsignales abgeleitet sind, und zweite Impulse eines jitterfreien Taktpulses, der aus dem jitterbehafteten Digitalsignal abgeleitet ist, einem Phasenvergleich mit einem mit den einen Impulsen triggerbaren und ein sägezahnförmiges Signal erzeugenden Rampengenerator und mit einer mit dem Signal des Rampengenerators beaufschlagten und mit den anderen Impulsen triggerbaren Abtast- und Halteschaltung zugeführt sind, **dadurch gekennzeichnet,**

daß der Taktpuls eine Impulswiederholungsfrequenz $n \cdot f_B$ aufweist, die einem Vielfachen n der Bittaktfrequenz f_B entspricht und die jede Bittaktperiode $T = 1/f_B$ des Digitalsignals T in n Teilperioden mit jeweils der Dauer $t_i = T/n = 1/n \cdot f_B$ unterteilt,

daß ein Grobwertmesser (2) vorgesehen ist, der in jeder Bittaktperiode diejenige Teilperiode bestimmt, in die die bestimmte Impulsflanke (S_1) des Digitalsignales (DS) fällt, der aus der Ordnungszahl dieser Teilperiode einen Phasengrobwert S_7 bildet und der nach Ablauf dieser und p weiterer Teilperioden ($p = 0, 1, 2 \dots n-1$) ein Freigabesignal SF an den Rampengenerator (5) anlegt,

daß der Rampengenerator (5) nur einmal in jeder Bittaktperiode T zu Beginn einer Teilperiode t_i und nach Anlegen des Freigabesignals S_F gestartet werden kann,

daß die Rampendauer des sägezahnförmigen Ausgangssignales (S_3) nur wenig länger (10% bis 50%) als eine Teilperiodendauer t ist,

daß der Abtastimpuls (S_4) gegenüber der bestimmten Impulsflanke S_1 des Digitalsignales DS um $p+1$ Teilperioden verzögert wird und

daß ein Summierer (7) vorgesehen ist, der eine Ausgangsgröße S_6 der Abtast- und Halteschaltung (4) und den Phasengrobwert S_7 zu dem die Jittermodulation angegebenden Meßwert S_5 zusammen-

setzt.

3. Schaltungsanordnung nach Anspruch 2, **dadurch gekennzeichnet,**

daß zur Erzeugung digitaler Phasenfeinwerte (S_6') an Stelle einer Abtast- und Halteschaltung (4, 5 in Fig. 1) ein Flash-A/D-Wandler (18) vorgesehen ist.

5

4. Schaltungsanordnung nach Anspruch 2, **dadurch gekennzeichnet,**

daß der Phasengrobwertmesser (2') zur Erzeugung digitaler Phasengrobwerte (S_7'') einen mit dem Abtastimpuls (S_4) getakteten Lesespeicher (20) (ROM) enthält, der als Addierschaltwerk geschaltet ist und der für jede gemessene Grobwertänderung (S_8) und für jeden möglichen vorigen Grobwert (S_9) einen neuen digitalen Phasengrobwert (S_7'') enthält, der über einen D/A-Wandler (21) einer Summierschaltung (7'') zugeführt wird.

10

15

20

25

30

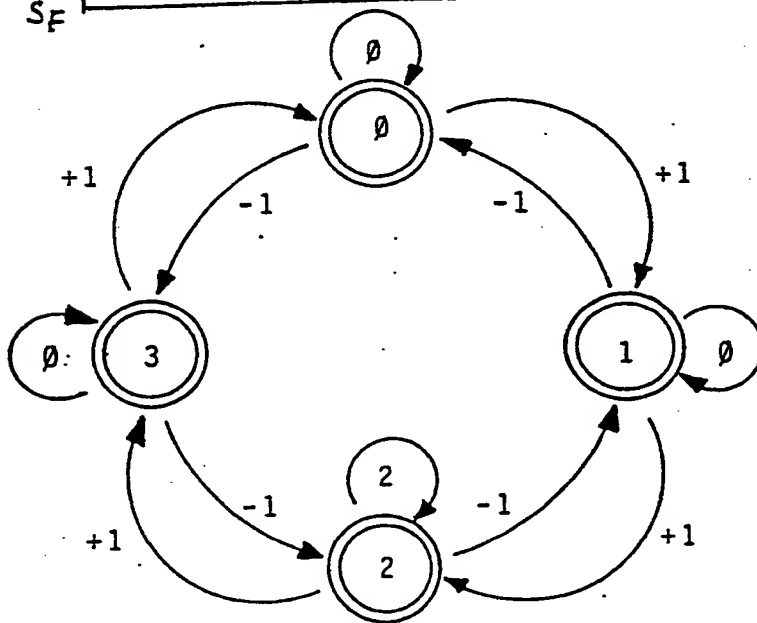
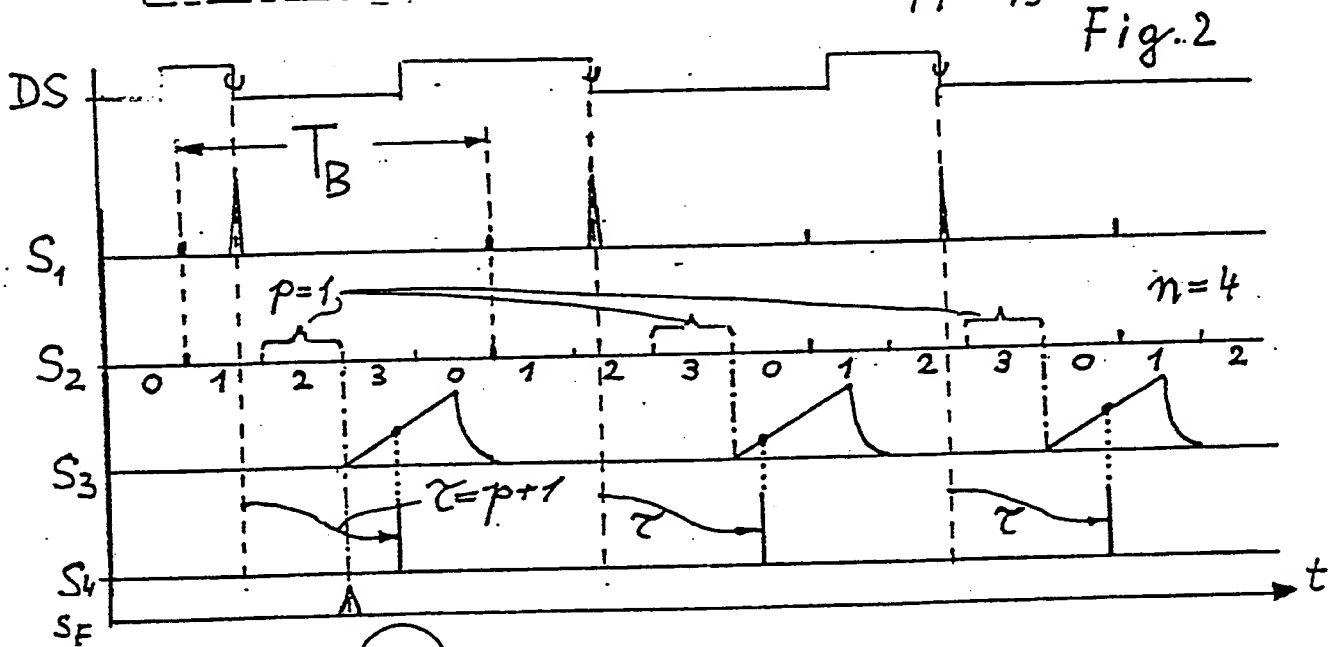
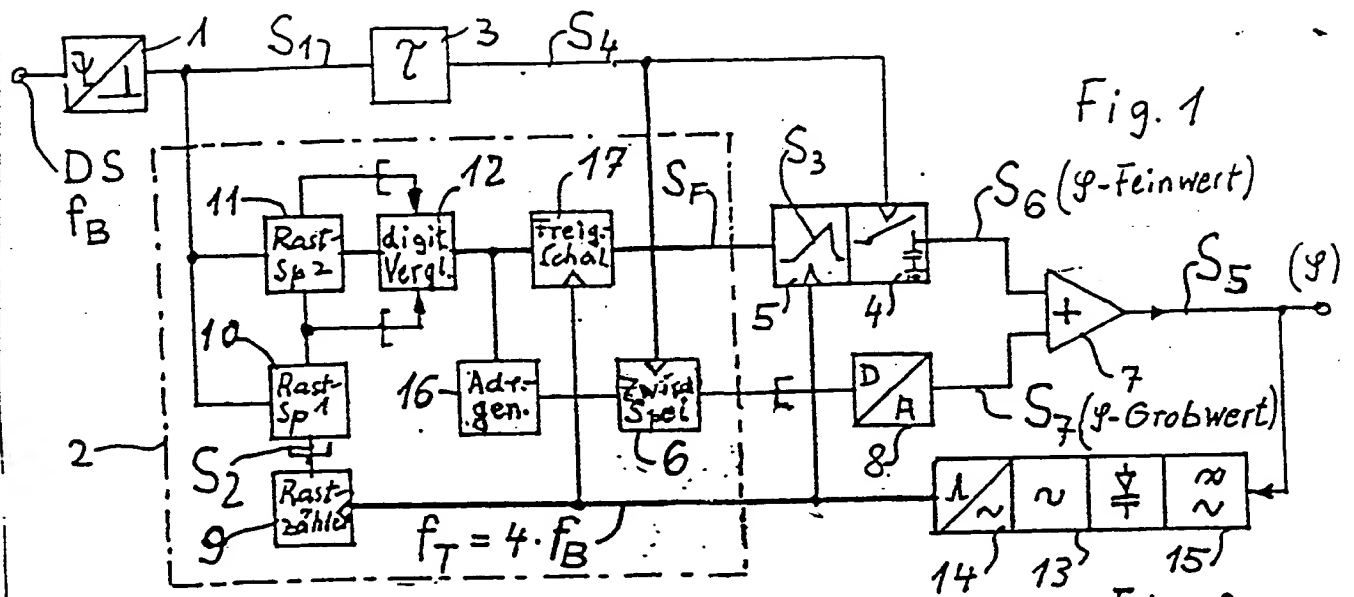
35

40

45

50

55



+1= Adresse inkrementieren
Rampe um 1 Raster
nachverlegen

0= Adresse beibehalten
Rampenstart "

-1= Adresse dekrementieren
Rampe um 1 Raster
vorverlegen

Fig. 4

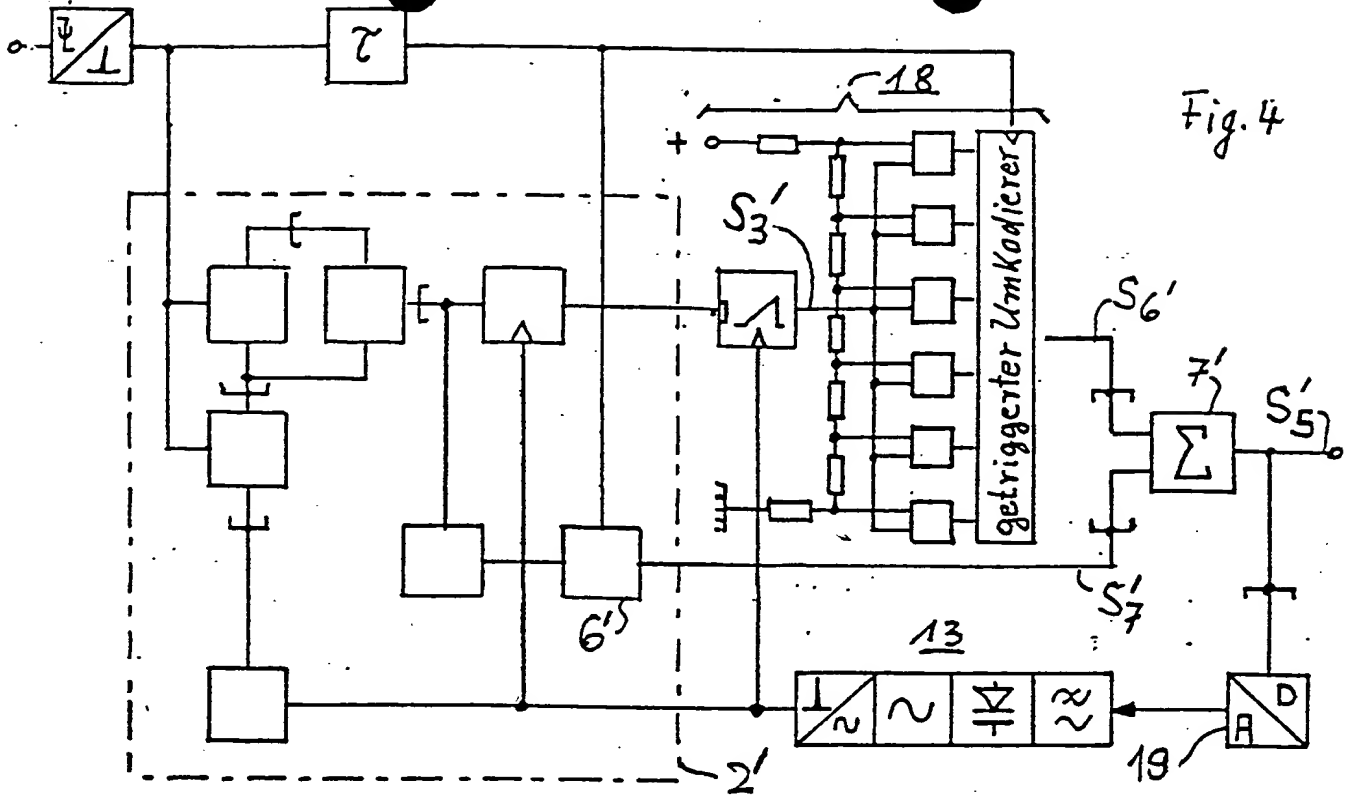
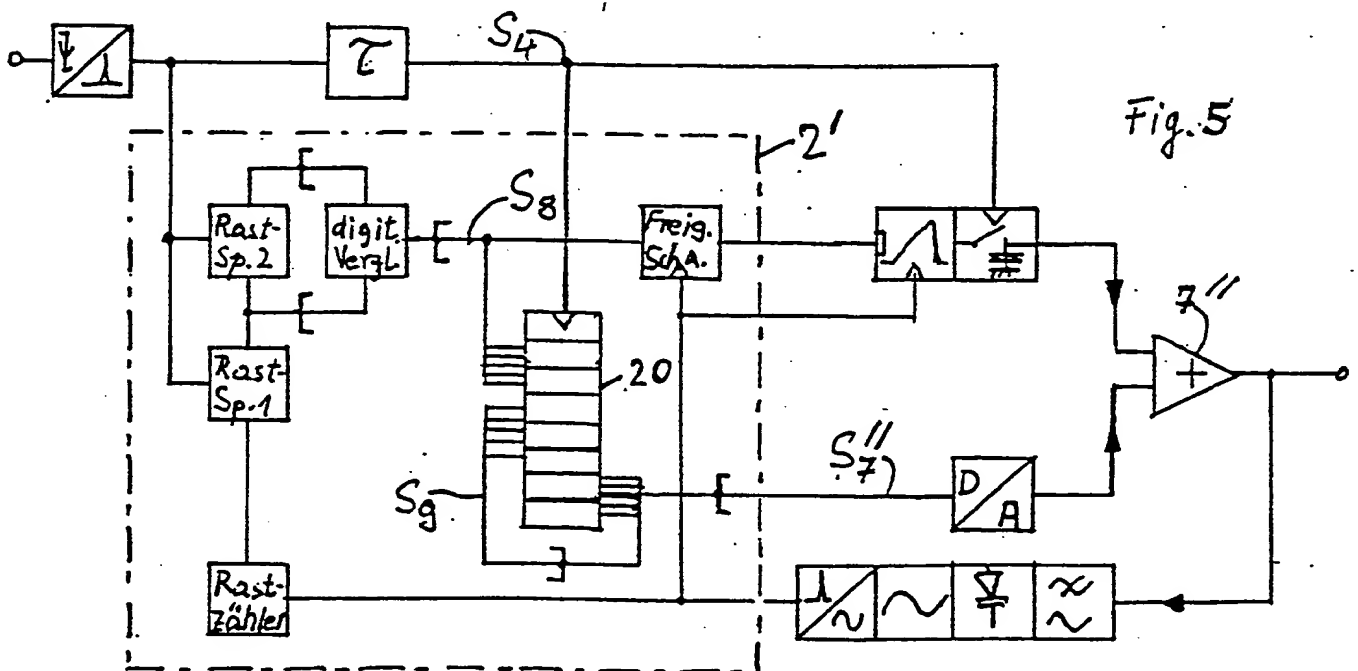


Fig. 5



THIS PAGE BLANK (USPTO)



Europäisches Patentamt
European Patent Office
Office européen des brevets



⑪ Veröffentlichungsnummer: **0 362 491 A3**

⑫

EUROPÄISCHE PATENTANMELDUNG

②① Anmeldenummer: 89112533.8

Int. Cl.⁵: **H04L 12/26**, **H04L 1/20**,
G01R 25/00

Ⓜ Anmeldetag: 08.07.89

③ Priorität: 01.10.88 DE 3833486

④ Veröffentlichungstag der Anmeldung:
11.04.90 Patentblatt 90/15

Ⓢ Benannte Vertragsstaaten:
FR GB IT

Ⓢ Veröffentlichungstag des später veröffentlichten
Recherchenberichts: 09.10.91 Patentblatt 91/41

71 Anmelder: WANDEL & GOLTERMANN GMBH &
CO
Postfach 1262 Mühleweg 5
W-7412 Eningen u.A.(DE)

⑦ Erfinder: Brandt, Dieter, Dipl.-Ing.
Rennenngässle 24
W-7412 Eningen u. A.(DE)

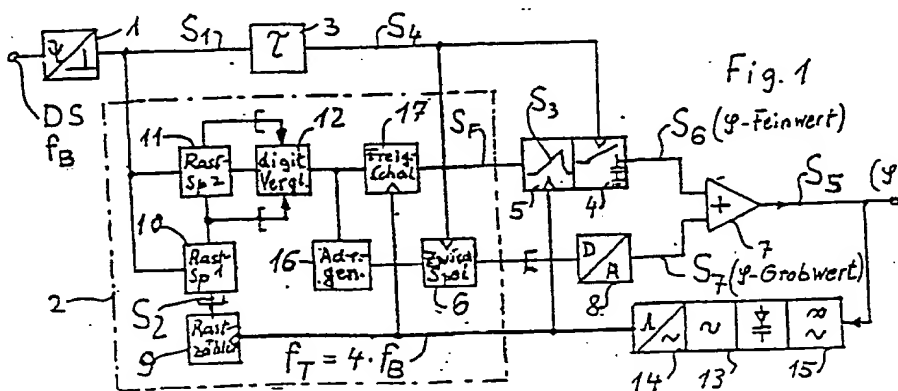
⑦4 Vertreter: Kucher, Hans, Dipl.-Ing.
Richard-Strauss-Weg 4
W-7410 Reutlingen(DE)

54 Verfahren und Schaltungsanordnung zum Messen der Jittermodulation von nullenbehafteten Digitalsignalen.

⑤7 Bekannte Jittermesser mit Abtastphasenvergleichen liefern zwar ein die Phasenzeitfunktion direkt und linear wiedergebendes PAM-Signal, haben jedoch eine zu geringen, bei hohen Bitfolgefrequenzen unter $+\pi/2$ liegenden Aussteuerungsbereich. Das neue Verfahren soll direkt an beliebigen informationstragenden Digitalsignalen arbeiten, eine Umsetzung der Phase direkt in eine PAM-Spannung leisten und eine grundsätzlich nicht beschränkte Aussteuerbarkeit besitzen.

Das Meßergebnis wird aus einem Phasengrob-

wert und einem Phasenfeinwert zusammengesetzt. Hierzu wird die jitterfreien Bittaktperiode in n Teilperioden unterteilt und aus der Ordnungszahl derjenigen Teilperiode, in die die zu bestimmende Digitalsignalimpulsflanke fällt, ein Phasengrobwert ermittelt. Den Phasenfeinwert liefert ein Abtastphasenvergleich, dessen Rampe wenig länger als eine Teilperiode ist, gegenüber dem Ende der betreffenden Teilperiode mit definierter Verzögerung gestartet wird und mit der definiert verzögerten Digitalsignalimpulsflanke abgetastet wird.





Europäisches
Patentamt

EUROPÄISCHER RECHERCHENBERICHT

Nummer der Anmeldung

EP 89 11 2533

EINSCHLÄGIGE DOKUMENTE			
Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betrifft Anspruch	KLASSIFIKATION DER ANMELDUNG (Int. Cl.5)
A	EP-A-0 166 839 (IBM) * Seite 4, Zeilen 3-23; Abbildung 1 * -----	1-4	H 04 L 12/26 H 04 L 1/20 G 01 R 25/00
A	EP-A-0 011 699 (SIEMENS) * Seite 4, Zeilen 15-27; Seite 5, Zeilen 12-14; Abbildung 4 * -----	1-4	
A	EP-A-0 025 477 (SIEMENS) * Seite 2, Zeile 26 - Seite 3, Zeile 8 * -----	1-4	
A	IBM TECHNICAL DISCLOSURE BULLETIN, Band 8, Nr. 5, Oktober 1965, Seite 819; G.J. SAXENMEYER: "Jitter distortion measuring circuit" * Insgesamt * -----	1	
Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt			RECHERCHIERTE SACHGEBIETE (Int. Cl.5) H 04 L G 01 R H 03 L
Recherchenort		Abschlußdatum der Recherche	Prüfer
Den Haag		22 Juli 91	CRETAINE P.A.
<div>KATEGORIE DER GENANNTEN DOKUMENTE</div> <div><div>X: von besonderer Bedeutung allein betrachtet Y: von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie A: technologischer Hintergrund O: nichtschriftliche Offenbarung P: Zwischenliteratur T: der Erfindung zugrunde liegende Theorien oder Grundsätze</div><div>E: älteres Patentdokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist D: in der Anmeldung angeführtes Dokument L: aus anderen Gründen angeführtes Dokument ----- &: Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument</div></div>			